

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 59-056740

(43)Date of publication of application : 02.04.1984

(51)Int.Cl.

H01L 21/76
H01L 21/302
H01L 29/72

(21)Application number : 57-167137

(71)Applicant : FUJITSU LTD

(22)Date of filing : 24.09.1982

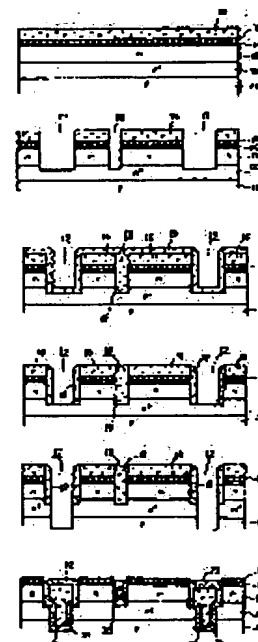
(72)Inventor : GOTO HIROSHI
ABE RYOJI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To make unnecessary to provide error margin in an element forming region and then form high density IC by simultaneously forming element isolation region and collector isolation regions through the patterning on the self alignment basis.

CONSTITUTION: In addition to insulating films such as SiO₂ film 14 and Si₃N₄ film 15, a protection film 16 is deposited thereon and with these films used as the masks, the collector isolation region 18 and element isolation region 17 are removed by etching in the form of U-shaped groove until the specified depth of the opposite conductivity type semiconductor layer 12 on one conductivity type semiconductor substrate 11, namely unto the collector isolation region. Then, a protection film 19 is deposited again and the film is removed by etching in such a thickness as deposited again. Thereby, the protection film is removed from the bottom part of groove of the element isolation region 17. Simultaneously, the protection film is left in the entire surface of collector isolation region 18 and the side surface of circumference of groove of element isolation region 17. Finally, the element isolation region is removed by etching until the specified depth with the protection film used as the mask.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁 (JP)
⑫ 公開特許公報 (A)

⑪ 特許出願公開
昭59—56740

⑨ Int. Cl.³
H 01 L 21/76
21/302
29/72

識別記号

庁内整理番号
M 8122—5 F
8223—5 F
7514—5 F

⑬ 公開 昭和59年(1984)4月2日

発明の数 1
審査請求 未請求

(全 4 頁)

⑭ 半導体装置の製造方法

① 特 願 昭57—167137

② 出 願 昭57(1982)9月24日

③ 発 明 者 後藤広志
川崎市中原区上小田中1015番地
富士通株式会社内

④ 発 明 者 阿部良司

川崎市中原区上小田中1015番地
富士通株式会社内

⑤ 出 願 人 富士通株式会社

川崎市中原区上小田中1015番地

⑥ 代 理 人 弁理士 松岡宏四郎

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

一導電型半導体基板上に反対導電型半導体層を成長し、その上面に絶縁膜を被覆し、更にその上に保護膜を被覆し、該保護膜および絶縁膜を選択的に窓あけする工程、次いで該保護膜および絶縁膜をマスクとして反対導電型半導体層の所望深さまでコレクタ分離領域および素子間分離領域をU形溝状にエッチング除去する工程、次いでその上面から上記保護膜と同材質の保護膜を再度全面に被覆し、従いて該保護膜を少なくとも再度被覆した該溝だけ全面エッチングして、該保護膜を素子間分離領域の上記U形溝底面から除去すると共にコレクタ分離領域内全面と素子間分離領域内の周面側面に残存させる工程、次いで該保護膜をマスクとして、素子間分離領域を一導電型半導体基板まで達する所望深さまで再度エッチング除去する工程が含まれてなることを特徴とする半導体装置の製造方法。

図の製造方法。

3. 発明の詳細な説明

(a) 発明の技術分野

本発明は半導体装置の製造方法のうち、特に半導体集積回路 (IC) の素子間分離領域とコレクタ分離領域との自己整合的な形成方法に関する。

(b) 従来技術と問題点

従前から窒化シリコン (Si₃N₄) 膜を利用した IOP (Isolation With Oxide and Polysilicon) 方式の素子間分離領域の形成方法が知られており、それは分離領域をエッチングしてU字形の溝を形成し、溝内の表面に二酸化シリコン (SiO₂) 膜を形成して、その内部を多結晶シリコンで埋設させるいわゆる誘電体分離方式である。第1図にその一例の形成工程途中図を示し、1はP型シリコン基板、2はn+型シリコン結晶層、3はn型シリコン結晶層、4はSiO₂膜、5はSi₃N₄膜で、このSi₃N₄膜をマスクとしてエッチングしてU形溝6を形成し、その内面にSiO₂膜7を生成し、内部全体を多結晶シリコン8で埋設させ、次いでその表

面にもSiO₂膜9を生成する方式である。

ところが、最近に至りコレクタ分離領域をもU形溝に形成し、側壁にしてその溝内部をSiO₂膜と多結晶シリコン膜とで埋込む方法が採られている。第2図はその工程断面図で、P型シリコン基板1まで達する素子間分離領域10に対して、n⁺型シリコン結晶層2にまで達するコレクタ分離領域11が形成される。このようなコレクタ分離領域を形成すると、ウォールドベース(Walled Base)12の形成が可能となるから、高密度化ができると共にコレクタベースの接合面積が小さくなつて寄生容量を小さくできる利点がある。

ここに、n⁺型シリコン層2はコレクタの埋設層であり、n型シリコン層8はベースやエミッタが形成される素子領域となるものである。

しかしながら、第3図に示すように素子間分離領域10とコレクタ分離領域11とはその深さが異なっているから、2回のパターンニング工程と同じく2回の溝をエッチングする工程を繰返さなければならぬ。しかも、2回のパターンニング

で、素子間分離領域部の溝底面から保護膜を除去すると共にコレクタ分離領域内全面と、素子間分離領域の溝内側面側面に保護膜を残存させた後、保護膜をマスクとして素子間分離領域の所要深さまでエッチング除去する工程が含まれた製造方法であり、以下図面を参照して実施例によつて詳細に説明する。

(a) 発明の実施例

第3図ないし第8図は本発明にかかる一実施例の形成工程断面図である。先づ、第3図に示すようにP型シリコン基板11にn⁺型シリコン層12およびn型シリコン層18をエピタキシャル成長し(これらをシリコン基板と総称する)その上面に膜厚1000ÅのSiO₂膜14と、膜厚2000ÅのSi₃N₄膜15からなる絶縁膜と膜厚1μmのP6膜16からなる保護膜を気相成長する。

次いで、第4図に示すようにレジスト膜(図示していない)をマスクとしてフォトリソプロセスによつてPSU膜16、Si₃N₄膜15およびSiO₂膜14を選択的に除去して、素子間分離領域17

は相互のパターン間差を考慮して、その間差の見込み寸法だけ余裕のある間隔を設けなければならない。これは高密度化・高集積化するI²Lによつて決して望ましいことではなく、基質密度向上を逆に害することになる。

(a) 発明の目的

本発明は上記の問題点を除去して、形成工程を短縮すると共にコレクタ分離領域をも素子間分離領域に対し、セルフアライン(自己整合)で形成して高集積化できる製造方法を提案するものである。

(a) 発明の構成

本発明の特徴は、上記した従来のSiO₂膜と、Si₃N₄膜のような絶縁膜に加えて、その上に保護膜を被覆し、これらの膜をマスクとして、一導電型半導体基板上の反対導電型半導体層の所要の深さ、すなわちコレクタ分離領域までコレクタ分離領域および素子間分離領域をU形溝状にエッチング除去し、次いで再度保護膜を被覆し、更に再度被覆した保護膜の膜厚分だけエッチング除去し

とコレクタ分離領域18上のシリコン基板面を露出した後、リアクティブイオンエッチングによつて上記両領域をエッチングして、n⁺型シリコン層12に達するU形溝を形成する。エッチング剤は四塩化炭素(CCl₄)と三塩化硼素(BCl₃)との混合ガスを用いて、時間コントロールによつてn⁺型シリコン層の直上又はその中間までエッチングする。尚、溝の幅はコレクタ分離領域が1μm程度、素子間分離領域が8μm程度で、また、これらの深さはn⁺型シリコン層の直上又はその中間までであるから1.5~8μmとなる。

次いで、第5図に示すように化学気相成長(CVD)法によつてその上面に第2のPSU膜19を成膜する。その膜厚をコレクタ分離領域の幅の1/2程度(本例では0.5μm程度)にして、コレクタ分離領域には溝側面からPSU膜19が成長して、完全に埋め込まれるようになる。

次いで、第6図に示すようにトリフロロメタン(CF₃)₂ガスを用いたリアクティブイオンエッチングにより、この第2のPSU膜19を全面エツ

エッチングし、コレクタ分離領域18内全面を埋め込んだPSG膜はそのまゝ残存し、また素子間分離領域17の側周面側に被着したPSG膜もそのまゝ残存して、その他はエッチング除去する。これは、リアクティブイオンエッチングにより垂直にエッチングされるから、膜厚0.5 μ m程度をエッチング除去すればこのような形状とすることが可能である。

次いで、第7図に示すようにPSG膜16と第2のPSG膜19とをマスクとして Cl_2 、 BCl_3 の混合ガスを用いるリアクティブイオンエッチングによつてエッチングし、素子間分離領域17の底面にP型シリコン基板11に達する溝を形成する。この時、コレクタ分離領域18は上記のように第2のPSG膜19で覆まれているからエッチングされることはない。

次いで、第8図に示すようにすべてのPSG膜16、19を弗酸によつてエッチング除去した後、高温酸化して素子間分離領域17とコレクタ分離領域18の溝内面に膜厚2000～3000Åの SiO_2

膜を被着し、且つ集積度の向上に役立つものである。

尚、本発明はIOP方式のみならずU形溝を SiO_2 膜で充填する方法にも適用することができる。

4. 図面の簡単な説明

第1図および第2図は従来の形成工程途中断面図、第3図ないし第8図は本発明にかかる形成工程途中断面図である。図中、1、11はP型シリコン基板、2、12はn+型シリコン層、3、13はn型シリコン層、4、14は SiO_2 膜、5、15は Si_3N_4 膜、7、9、20、22は SiO_2 膜、8、21は多結晶シリコン膜、10、17は素子間分離領域、11、18はコレクタ分離領域、16はPSG膜、19は第2のPSG膜を示す。

膜20を形成し、更にCVD法によつてこれらの溝内部に多結晶シリコン膜21を埋め込み、 Si_3N_4 膜15の上面に被着した多結晶シリコン膜は研磨又はエッチングによつて除去される。更に、溝上部の多結晶シリコンを酸化して SiO_2 膜22とするが、これらは公知のIOP法による製造方法と異ならない。

上記実施例は絶縁膜を SiO_2 膜を介した Si_3N_4 膜とし、保護膜をPSG膜としたものであるが、その他の絶縁膜や保護膜を用いてもよく、その際同じエッチング剤でエッチングされる材質からなる絶縁膜と保護膜が適宜しく、そうすればエッチング工程が簡略となり、パターン精度も良くなる。

(C) 発明の効果

以上の実施例の説明から明らかなように本発明によれば素子間分離領域とコレクタ分離領域とを同時にパターンニングして、セルフアラインで形成することができるから、素子形成領域に誤差余裕部分を設ける必要がなく、ICを高密度に形成することができる。したがつて、本発明は製造工

代理人 井原士 松岡 宗四郎



